

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

009144814     \*\*Image available\*\*

WPI Acc No: 92-272253/199233

XRPX Acc No: N92-208193

Display panel - has array of amorphous-silicon thin-film FETs on  
heat-resistant plastics film   NoAbstract

Patent Assignee: RICOH KK (RICO   )

Number of Countries: 001   Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 4184424	A	19920701	JP 90315143	A	19901120	G02F-001/136	199233 B

Priority Applications (No Type Date): JP 90315143 A 19901120

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 4184424	A		4			

Title Terms: DISPLAY; PANEL; ARRAY; AMORPHOUS; SILICON; THIN; FILM; FET;  
HEAT; RESISTANCE; PLASTICS; FILM; NOABSTRACT

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): H01L-021/336; H01L-027/12;  
H01L-029/784

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03819324     \*\*Image available\*\*

DISPLAY DEVICE AND PRODUCTION THEREOF

PUB. NO.:     **04-184424** [JP 4184424 A]

PUBLISHED:     July 01, 1992 (19920701)

INVENTOR(s):   MORI KOJI

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:     02-315143 [JP 90315143]

FILED:           November 20, 1990 (19901120)

INTL CLASS:     [5] G02F-001/136; H01L-021/336; H01L-027/12; H01L-029/784

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass  
Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS); R119 (CHEMISTRY -- Heat Resistant  
Resins)

JOURNAL:        Section: P, Section No. 1440, Vol. 16, No. 506, Pg. 13,  
October 20, 1992 (19921020)

ABSTRACT

PURPOSE: To form the high-quality display device on a low-cost substrate by having amorphous silicon thin-film transistors for an active matrix and polycrystalline silicon thin-film transistors for peripheral driving circuits on a heat resistant plastic film.

CONSTITUTION: Gate electrode parts 2 of the active matrix part are formed on the polyimide film 1 and insulating films 3, 3' are formed. The active matrix has the function as the gate substrate film 3 and the peripheral driving part as the underlying protective film 3'. After the a-Si film 4 is formed, an oxide film 5 is selectively formed in the peripheral driving part alone and n(sup +) contact holes 6 are formed. The n(sup +) of this time functions as gate electrode parts 6' and after the gate electrodes 6' and gate oxide film 5 are etched only in the peripheral driving part, impurity diffusion and activation are executed by a laser or plasma. The high-quality display device is formed on the low-cost substrate in this way.

## ⑫ 公開特許公報(A) 平4-184424

⑤ Int.Cl.<sup>5</sup>G 02 F 1/136  
H 01 L 21/336  
27/12  
29/784

識別記号

5 0 0

庁内整理番号

9018-2K

④ 公開 平成4年(1992)7月1日

L

7514-4M

9056-4M

H 01 L 29/78

3 1 1 A

9056-4M

3 1 1 Y

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 表示装置とその製法

⑯ 特 願 平2-315143

⑰ 出 願 平2(1990)11月20日

⑱ 発 明 者 森 孝 二 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
 ⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号  
 ⑳ 代 理 人 弁 理 士 友 松 英 爾

## 明 細 書

## 1. 発明の名称

表示装置とその製法

## 2. 特許請求の範囲

1. 耐熱性プラスチックフィルム上に、アクティブマトリックス用アモルファスシリコン薄膜トランジスタと周辺駆動回路用多結晶シリコン薄膜トランジスタとを有することを特徴とする表示装置。

2. 耐熱性プラスチックフィルム上に、アクティブマトリックス用のアモルファスシリコン層と周辺駆動回路用アモルファスシリコン層を形成し、該周辺駆動回路用アモルファスシリコン層から多結晶シリコン薄膜トランジスタを形成するにあたり、拡散および活性化工程を光プロセスとすることを特徴とする請求項1記載の表示装置の製法。

## 3. 発明の詳細な説明

## 〔技術分野〕

本発明は、シリコン系薄膜トランジスタを用

いた表示装置とその製法に関する。

## 〔従来技術〕

従来アモルファスシリコン薄膜トランジスタ(a-Si-TFT)を用いたアクティブマトリックスは成膜温度が250℃前後という温度プロセスで、主に安価なガラス上に形成されていたが、モビリティが低い(0.1~1 cm<sup>2</sup>/v.sec)ため、周辺駆動回路への適用には、困難であった。一方、モビリティが高い多結晶シリコン薄膜トランジスタ(Poly-Si-TFT)(~100 cm<sup>2</sup>/v.sec)の場合、プロセス温度が1000℃と高いため、安価なガラスは使用不可能であり、低コスト化に難があった。

## 〔目 的〕

本発明は、低コスト基板状に高品質ディスプレイ装置を形成することを目的とする。

## 〔構 成〕

本発明の1つは耐熱性プラスチックフィルム上に、アクティブマトリックス用アモルファスシリコン薄膜トランジスタと周辺駆動回路用多

結晶シリコン薄膜トランジスタとを有することを特徴とする表示装置に関する。

本発明の他の1つは、耐熱性プラスチックフィルム上に、アクティブマトリックス用のアモルファスシリコン層と周辺駆動回路用アモルファスシリコン層を形成し、該周辺駆動回路用アモルファスシリコン層から多結晶シリコン薄膜トランジスタを形成するにあたり、拡散あるいは活性化工程を光プロセスとすることを特徴とする請求項1記載の表示装置の製法に関する。

光プロセスとは、“波長100~400nmのレーザー光を用いて、薄膜（ここではa-Si膜）の最表面で吸収を行わせ、そのときの熱あるいは直接的光の反応によってドーピング、アニーリング結晶化etc.を行わせる工程”である。例えば、使用する波長308nmのエキシマレーザは、a-Si膜に対して吸収係数が $\alpha = 10^5 \text{ cm}^{-1}$ 程度と考えられる。a-Si膜からの吸収を $e^{-\alpha t}$ （tは深さ方向の距離）とすると1/eになる深さは $10^{-5} \text{ cm} = 0.1 \mu\text{m}$ に相当する。このように光、すなわち

膜5を選択的に形成する。

④ n<sup>+</sup>コンタクト6を形成する。このときのn<sup>+</sup>は周辺駆動部では、ゲート電極部6'として機能する。

⑤ 周辺駆動部のみゲート電極6'、ゲート酸化膜5をエッチング後、レーザあるいはプラズマにより不純物拡散、活性化を行なう。このとき、レーザ光は、Si最表面で吸収され、下地のポリイミド膜へのダメージは④の工程で形成した絶縁膜3'がバッファーとなり、250℃以上には温度上昇がおこらない。

⑥ 周辺駆動部側のみ層間絶縁膜7を形成する。  
⑦ A<sub>2</sub>電極8を形成、加工してできあがる。このとき、アクティブマトリックス部側はn<sup>+</sup>コンタクトも同時にエッチングして完了する。

又、⑦の工程で、アクティブマトリックス部と駆動部の接続に関しては、ドレインドライバーとしては、このままA<sub>2</sub>の形成工程でつながる。ゲートドライバー側は、途中のゲート絶縁

エキシマレーザを用いると非常に浅いところでのみ光の吸収がおきるため、その光による反応熱は下地にあまりとどかず“実効的に低温なプロセス”が可能となる。

本発明における耐熱性プラスチックフィルムは、光プロセスに絶えられる耐熱性を有するものであれば、いずれの耐熱性プラスチックでも使用できる。もっとも代表的なものはポリイミドである。

本発明の製造プロセスを第4図の①~⑦に沿って説明する。aはアクティブマトリックス部の製造プロセスであり、bは周辺駆動回路部の製造プロセスである。

① ポリイミドフィルム1上に、マクティブマトリックス部のゲート電極部2を形成する。

② 絶縁膜3、3'を形成する。ここでアクティブマトリックス部は、ゲート絶縁膜3、周辺駆動部は、下地保護膜3'としての機能をもつ。

③ a-Si膜4を形成後、周辺駆動部のみ酸化

膜にコンタクトホールを形成しておけば最終的にA<sub>2</sub>で接続されることになる。

その後、アクティブマトリックス部には画素電極9を形成し、ついでアクティブマトリックス部と周辺駆動回路部に保護膜10を形成する（第2図、第3図参照）。

〔実施例〕

ポリイミドフィルム1は300℃以上のプロセス温度に耐えられる全芳香族系のフィルムを用いる。

次にCrを蒸着により1000Åつけ、CCl<sub>4</sub>+O<sub>2</sub>のドライエッチングで所定加工し、ゲート電極部2を形成する。その後、ゲート絶縁膜3、3'（周辺駆動部としては保護層の役目）として、1000ÅのSiN<sub>x</sub>をECRにより形成する。条件は、SiH<sub>4</sub>/N<sub>2</sub>=12/20SCCM、3.2×10<sup>-4</sup>torr、マイクロ波パワー300Wで形成した。その後、a-Si膜4、4'をPCVD法により形成する。SiH<sub>4</sub>100%、10SCCM、0.1torr、基板温度200℃とした。周辺駆動部になるa-Si

部をXeC 200mJ/cm<sup>2</sup>で10~50shotあてて結晶化させPoly-Siとした。結晶化部はレーザによる直描により200~500μm幅にスキャンした。次に、周辺駆動部のTFT 4'にECRプラズマによるO<sub>2</sub>プリプラズマ(条件: O<sub>2</sub> 10SCCM, 30分)後、SiO<sub>2</sub>をdepositionした。条件はSiH<sub>4</sub>/O<sub>2</sub>=40/40 SCCM, 6.4x10<sup>-4</sup> torr、マイクロ波パワー300Wであった。これにより膜厚1000Åのゲート酸化膜5を形成した。n<sup>+</sup>コンタクト6は、100ppm PH<sub>3</sub>(SiH<sub>4</sub>ベース)で10SCCM, 0.1torrで1000Å形成した。さらにn<sup>+</sup>コンタクト6及びSiO<sub>2</sub>よりなるゲート酸化膜5(by ECR)はSF<sub>6</sub>/CCl<sub>4</sub>=27/3 SCCMでn<sup>+</sup>コンタクト6をエッチング後、ウェットエッチング液HF:H<sub>2</sub>O=1:6、15sec浸漬して、所定の加工を行なった。

さらに⑤の工程では、PH<sub>3</sub>(1%、Arベース)ガス雰囲気、10torrでXeC 2(308nm) 100mJ/cm<sup>2</sup>で10shot照射して、ソース・ドレインへの不純物拡散を行なった。さらに⑥では同じ

くECRによりSiO<sub>2</sub>膜7(条件は先程と同じ)を5000Å形成した。この場合のコンタクトホールの加工は、HF:H<sub>2</sub>O=1:6で同様に行なった。最後にA 2でマグネトロンスパッタにより1μm depositionしてH<sub>2</sub>PO<sub>4</sub>系40℃でエッチング加工して電極8を形成する。

なお、他の実施態様として、周辺駆動部でのTFTは、第4図の②と④の間でレーザーによる固相成長を行なっても良い。さらにマクティブマトリックス部と同じ逆スタガード構成で⑤の工程で、レーザーにより周辺駆動部のみ選択的に固相成長をしてもかまわない。さらに周辺駆動部はCMOS駆動を前提にしているので、第4図の例では、⑤でPH<sub>3</sub>雰囲気であったが、Pchトランジスタの場合には、B<sub>2</sub>H<sub>6</sub>になることは当然である。さらにこの⑤ではプラズマCVD等で100Å程度n<sup>+</sup>、あるいはP<sup>+</sup>の薄層を堆積後、一括レーザーアニールという方法も有効である。

#### 【効 果】

本発明はPoly-Si-TFTのプロセス温度を低温化することにより、安価な基板、それもプラスチックフィルム(ポリイミドフィルム)上に形成したものであり、その結果、低コストでフレキシブルな基板に高品質な表示装置の実現が可能になった。

#### 4. 図面の簡単な説明

第1図はTFT駆動液晶パネルのブロック図である。第2図は、第1図中のTFTパネル部であるアクティブマトリックス部TFTの断面図であり、第3図は、周辺駆動回路にあたるドレインドライバー、ゲートドライバーを形成するTFTシフトレジスタの断面図であり、第4図は、本発明の表示装置の製造プロセスを説明するものである。

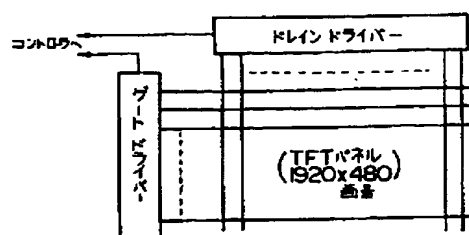
- 1…ポリイミドフィルム
- 2…ゲート電極部
- 3…絶縁膜(ゲート絶縁膜)
- 3'…絶縁膜(下地保護膜)

- 4…a-Si膜
- 5…ゲート酸化膜
- 6…n<sup>+</sup>コンタクト
- 6'…ゲート電極部
- 7…層間絶縁膜
- 8…A 2電極
- 9…画素電極

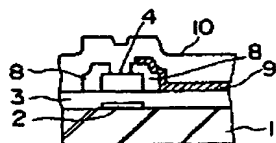
特許出願人 株式会社 リ コ ー  
代理人 弁理士 友 松 英 爾



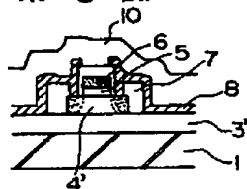
第 1 図



第 2 図



第 3 図



第 4 図

